

Pt/NiO/Pt 積層構造におけるフォーミング特性分布

Distribution of forming characteristics in Pt/NiO/Pt stack structures

西佑介¹・山中拓弥²
Yusuke NISHI and Takuya YAMANAKA

1. はじめに

フラッシュメモリなる画期的なデバイスが当時東芝社員の舛岡富士雄によって発明されて以降、瞬く間にメモリ業界を席巻していった。さらなる技術革新や大量普及の恩恵で大容量・低コスト化が急速に進み、各種メモリカードやオーディオプレーヤーのみならず、従来のハードディスクドライブ(HDD)に比べて大容量・高速動作・高衝撃性を有するソリッドステートドライブ(SSD)が標準搭載されるパソコンも本格的に普及している。しかし、なお進化し続ける高度情報化社会からの要求に、このフラッシュメモリの仕様ですら応えることが困難になってきており、より高速かつ低消費電力を実現する不揮発性メモリの導入が強く望まれている。

こうした次世代不揮発性メモリとして、さまざまな材料や原理を用いたデバイスの研究開発が進んでいる。強誘電体のヒステリシス特性を用いたFeRAM (Ferroelectric Random Access Memory) や磁気スピンを制御する MRAM (Magnetic RAM), カルコゲナイト材料の結晶様態変化を利用する PCRAM (Phase Change RAM)などがその候補として挙げられる^{1), 2)}。しかし、いずれも動作原理や加工サイズに起因して一長一短を有し、不揮発性メモリ業界を席巻する程の決め手に欠くのが現状である。

本稿でとりあげる抵抗変化型ランダムアクセスメモリ ReRAM (Resistive RAM)は、抵抗率の高い酸化物を電極で挟むだけの単純な構造から成り、大容量化に適した特長を有する。また、フラッシュメモリに比べて飛躍的な高速・低電力動作が可能となるなど、ReRAM は近い将来のストレージクラスメモリとして十分優れた特徴を有している^{3), 4)}。しかし、抵抗スイッチング(RS)現象に関しては、さまざまな材料の組み合わせで多数報告されており、RS で用いる電圧の極性や特性値ばらつきなども多岐に亘っている。そのため、RS 現象のモデルも種々提案されており⁴⁾⁻⁶⁾、個別では適用できても他材料では矛盾が生じることも多い。そのため、ReRAM という用語自体も、材料や RS 特性の違いに応じてより細かく分類されてきている状況にすらある。したがって、普遍

的な RS メカニズムが解明されたとはい難い。

二酸化チタン(TiO₂)や酸化ニッケル(NiO)をはじめとする二元系金属酸化物を用いた抵抗変化素子においては、RS 現象が発現するには初期電圧印加であるフォーミングとよばれる急激な低抵抗化過程が必要となることが知られている。フォーミングにより酸化物中にナノメートル径の導電性フィラメントが形成され低抵抗状態となる。その後、電圧印加を繰り返すたびに、このフィラメントの一部の断裂と修復を繰り返すことで、RS 現象が生じると説明される。これはフィラメントモデルとよばれ、二元系酸化物を用いた ReRAM で主に報告されている。このフィラメントの形成は、金属/酸化物/半導体(MOS)の積層構造における酸化膜の絶縁破壊と類似している⁴⁾。

本研究では、この RS 現象の鍵を握るフォーミングに着目し、酸化膜の絶縁破壊で知られるパーコレーションパスモデルに基づいて、NiO を白金で挟んだ Pt/NiO/Pt 積層構造を有する抵抗変化素子のフォーミング特性を統計解析することを試みる。この際、フォーミング特性の素子サイズや印加電圧、素子温度依存を詳細に調べたため、その一部を簡単に報告する。

2. 実験

本実験で用いた Pt/NiO/Pt 積層構造を有する素子の作製手順やフォーミング特性の測定方法は、以下の通りである。

2.1 作製試料

熱酸化膜付 p 型シリコン基板全面に 5 nm 程度の Ti 薄膜と厚さ 60 nm の Pt を DC スパッタリングにより堆積した。NiO 薄膜は、ターゲットとして純度 99.99% の金属 Ni を用いた反応性高周波スパッタリング法により堆積した。スパッタガスとして O₂ と Ar の混合ガスを用い、全圧は 0.6 Pa となるように流量を制御した。堆積した NiO 薄膜の厚さは 50~80 nm である。NiO を堆積した後、メタルマスクを用いて Pt 上部電極を厚さ 20 nm 電子ビーム蒸着した。電極径はメタルマスクの貫通孔と同じ 100~300 μm であり、各素子のサイズはこの電極が占める面積に相当する。つまり、10 mm 角の一つの試料(図 1 に断面図)には、さまざまなサイズの多数の Pt/NiO/Pt 積層構造を有する素子(以後 Pt/NiO/Pt 素子)が存在する。

1 舞鶴工業高等専門学校 電子制御工学科 准教授

2 舞鶴工業高等専門学校 電子制御工学科 5 年

2.2 測定方法

下部電極を接地し、上部電極に一定電圧 V_s を印加する二端子法を用いて、各素子に電気的ストレスを印加した。フォーミングが発生するまでの印加時間 t_{form} が特性値となる。また、温度可変プローバのチャンバー内を 10^3 Pa 台の低真空にした上で設置するステージを加熱することで試料温度を上昇させた。この時の測定を図 2 に示す。CH1 と CH2 の分圧比より素子の抵抗値を、CH2 の電圧値を 50Ω で割ることにより素子に流れる電流値を求めることができる。

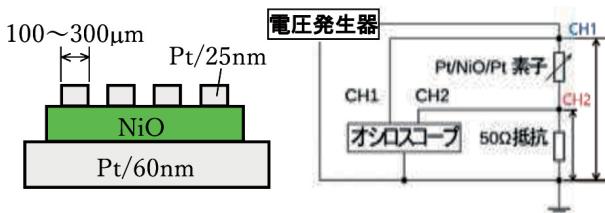


図 1 試料断面

図 2 測定系回路

3. 理論

まず、パーコレーションモデルについて説明する。このモデルは MOS 構造における酸化膜の絶縁破壊が、電気的ストレスにより生成される欠陥に起因することを前提に説明したものであり、Suñé らにより定量的な解釈が与えられた⁷⁾。図 3 に示すように、対象となる面積 A_{ox} 、膜厚 t_{ox} を有する酸化膜を $n \times N$ 行列の領域(一辺の長さ a_0)で区切り、電気的ストレスによって生成された欠陥(最弱破壊点)がある一つの列で貫通するときに絶縁破壊が起きる、いわゆる最弱リンク理論に従うと仮定した。

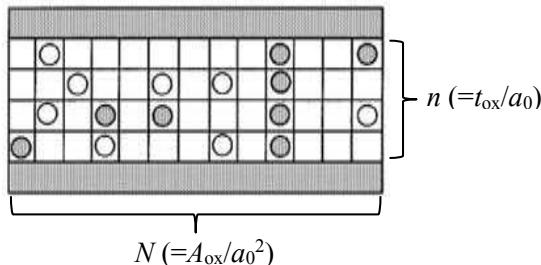


図 3 酸化膜中の欠陥生成モデル

一つの領域に欠陥が生成する確率を λ とすると、ある一つの列で欠陥が貫通する確率は λ^n であるから、絶縁破壊が起こらない確率は $(1-\lambda^n)^N$ で表される。つまり、累積絶縁破壊確率 F_{BD} は

$$F_{\text{BD}} = 1 - (1 - \lambda^n)^N \quad (1)$$

である。ここで、 λ が 1 に比べて十分に小さいとする近似の下、 $\ln(1-\lambda^n) \sim -\lambda^n$ を用いて式(1)を変形すると

$$\ln\{-\ln(1-F_{\text{BD}})\} = n \ln(\lambda) + \ln(N) \quad (2)$$

が導かれる。

なお、式(2)の左辺は、いわゆるワイブル分布(Weibit)の縦軸にあたる。横軸に λ の対数をとると、その傾きが酸化膜の膜厚方向の領域数 n に等しくなることを意味している。

酸化膜の絶縁破壊に関する実験において、欠陥生成確率 λ が、酸化膜に注入される電荷密度 Q のべき乗で示される ($\lambda = \xi Q^\alpha$) と仮定する。このとき式(2)より、 Q をパラメータとした Weibit の傾き β は酸化膜厚に比例することが導かれ、これは Degraeve らの実験結果と符合する⁸⁾。定性的には、酸化膜が絶縁破壊を起こすためには、膜厚が大きくなるほど、パーコレーションモデルによって貫通すべき欠陥数 n が多くなるからであると理解できる。

4. 結果および考察

本実験で得られた結果を以下に列挙し、それぞれ考察する。

4.1 素子サイズ依存

まず、膜厚 50 nm の NiO 薄膜を有する素子におけるフォーミング特性の素子サイズ依存を調べた。一定印加電圧(V_s)を 7.0 V とし、素子サイズは上部電極径 100, 200, 300 μm の 3 種類とした。各素子サイズにおけるフォーミング時間 t_{form} をパラメータとした Weibit を図 4(a)に示す。特に Weibit が小さい場合には外的欠陥に起因してやや外れる傾向はあるが、概ね傾きが 0.9 の直線で示されることがわかる。

また、素子サイズが大きくなるにつれて、フォーミングに要する時間は小さくなっている。ここで、酸化膜の絶縁破壊に関わる欠陥は、ポアソンモデルに基づき酸化膜中にランダムに分布していると考えられている。このとき、累積絶縁破壊確率 F_{BD} は、欠陥密度 D と素子面積 A_{ox} を用いて

$$F_{\text{BD}} = 1 - \exp(-DA_{\text{ox}}) \quad (3)$$

で表される⁹⁾。一方で、絶縁破壊の統計量が最弱破壊モデル、すなわちワイブル分布に従う場合には

$$F_{\text{BD}} = 1 - \exp(-t_{\text{BD}}/\tau)^\beta \quad (4)$$

が成立するから、異なる素子面積 A, A_0 を有する酸化膜における Weibit より

$$\ln\{-\ln(1-F_{\text{BD}})/(A/A_0)\} = \beta \ln(t_{\text{BD}}) + \text{const.} \quad (5)$$

が導かれる。式(5)の左辺は、素子面積 A での Weibit を基準面積 A_0 で規格化された Weibit を意味し、式(5)は面積スケーリング則という。この演算を先のパーコレーションモデルで考えると、

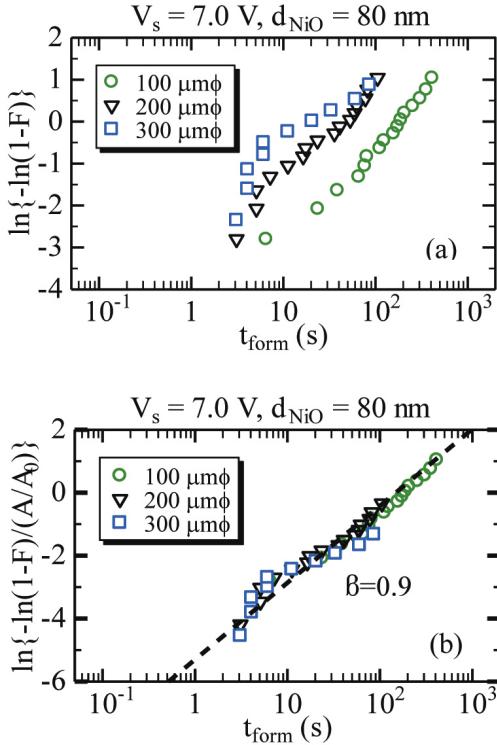


図4 異なる素子サイズにおける t_{form} をパラメータとした(a)Weibit および(b)素子サイズで規格化した Weibit

式(2)の右辺第2項である $\ln(N)$ を両辺から差し引くことに対応している(ここで N は素子面積 A_{ox} に比例する無次元量である)。

図4(a)を基準面積 $A_0=\pi(100\mu\text{m}/2)^2$ で規格化して示した分布が図4(b)である。素子サイズによらずワイブル傾き β が 0.9 の一直線上にのっていることがわかる。フォーミングにおけるこの結果は、酸化膜の絶縁破壊からの類推により、NiO 薄膜内の導電性フィラメントの形成が最弱リンク理論に従うこと、およびその最弱破壊点となりうる欠陥が NiO 薄膜中にポアソン分布に基づいてランダムに分布していることを示唆している。

なお、電子ビームで堆積した Pt 下部基板上の Pt/NiO/Pt 素子の場合は、ワイブル傾き β は 1.5 となることを既に確認している¹⁰⁾。これは、下部電極の Pt およびその直上の NiO 薄膜の結晶構造の違いが反映していることに起因する¹¹⁾。

4.2 印加電圧依存

次に、NiO 膜厚 50 nm、上部電極径 100 $\mu\text{m}\phi$ の素子におけるフォーミング特性の印加電圧依存を調べた。 $V_s=3.25 \sim 4.0\text{V}$ と変化させた場合のフォーミングに至るまでに素子を通過した電荷量 Q_{form} をパラメータとした Weibit を図5に示す。印加電圧が増大するほど Q_{form} が低下するが、ワイブル傾き β は 1.0 でほぼ一定値をとる。この傾向は t_{form} をパラメータとした場合に、印加電圧が増大するほど t_{form} が低下することと同様である。

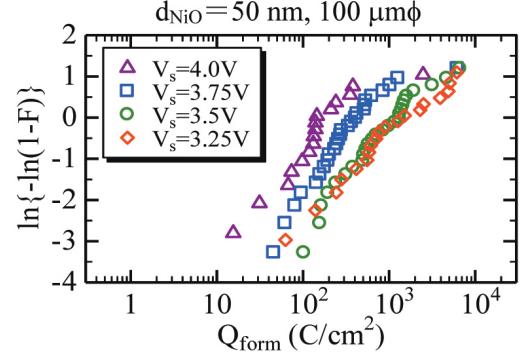


図5 異なる電圧印加時の通電量 Q_{form} をパラメータとした Weibit

また、 t_{form} の Weibit のワイブル傾き β は、前節の結果と同様に 0.9 をとることも確認している。

したがって、印加電圧依存としては、ワイブル傾きを維持したまま、印加電圧の増減に応じて Weibit が左右にシフトするといえる。ただし、シフト量は印加電圧の絶対値のみでは単純に決定されず、印加電圧とどのような定量的関係にあるのかまでは現状不明確である。

4.3 素子温度依存

測定チャンバーに 150 $\mu\text{m}\phi$ の Pt/NiO/Pt 素子を入れて試料ステージを加熱し 400K まで昇温した。290K および 400K の 2 つの温度下における t_{form} をパラメータとした $V_s=5.5\text{V}$ 時の Weibit を図6に示す。室温におけるワイブル傾き $\beta=0.9$ は、前節同様これまで我々が作製した Pt/NiO/Pt 素子の値と等しく、NiO 膜厚や素子サイズによらず NiO 薄膜の結晶構造に起因するこの値の普遍性が確認された。

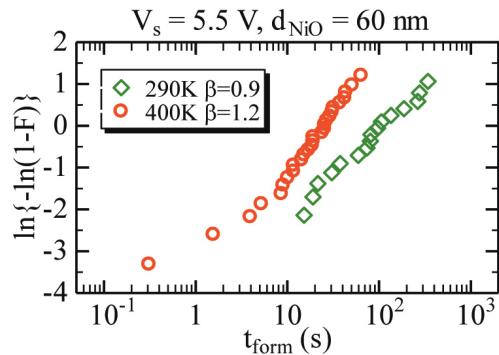


図6 異なる温度下における t_{form} をパラメータとした Weibit

一方、試料を 400K まで加熱した場合、ワイブル傾き β は 0.9 より明らかに増大し、フォーミング時間ばらつきは抑制される結果を得た。ただし、10 秒以下のフォーミング時間の値に関しては、取得データの時間分解能の都合で精度が低いと

思われるため、ワイブル傾き $\beta=1.2$ の算出ではこれらを除外している。400Kにおけるワイブル傾きの正確な値については、他の V_s とした場合のWeibitにおいて、十分な時間分解能が確保されるよう時間レンジを適切に設定して測定を行う必要がある。

4.4 2種類の低抵抗化現象

290Kおよび400Kの2つの温度下における $V_s=4.5V$ 時の典型的な経時変化を図7に示す。本素子の測定においては図2の測定系を使用しており、CH1の減少はCH2の増大、すなわち低抵抗化を意味している。図4(a)の290Kにおける120秒後の急激な電圧降下は、急峻な低抵抗化、すなわちフォーミングを表している。フォーミング後の素子抵抗は概ね 50Ω 以下に低下している。

一方、400Kに昇温すると、フォーミング前の定電圧印加時に次第に電流が増加するような素子が出てきた。図4(b)においては、46秒後にフォーミングが起こるまで、連続的な低抵抗化が見られていることがわかる。このような連続的な低抵抗化は、室温付近においてはこれまで見られなかった現象である。

そこで、この連続的な低抵抗化の一定電圧依存を調べるべく $V_s=1.5\sim5.5V$ で変化させたところ、 V_s が低下するほど連続的な低抵抗化が抑制されることがわかった。すなわち、高温下でより高電圧によるストレス印加により、絶縁膜の破壊で提案されているパーコレーションモデルで示される欠陥の生成、すなわち導電性フィラメントの形

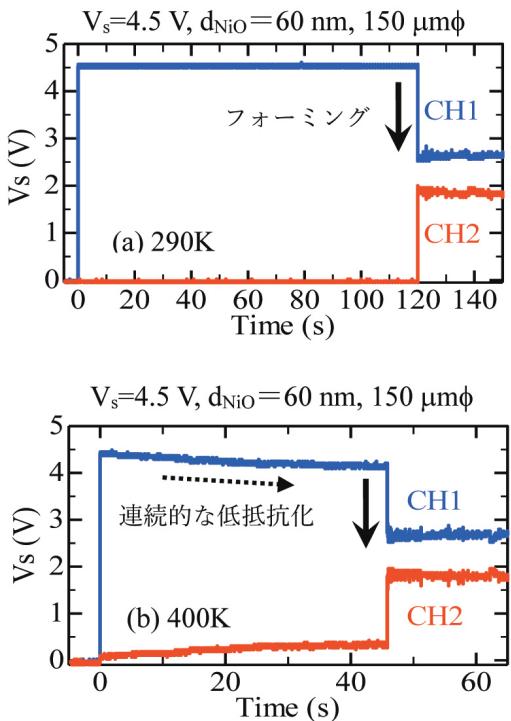


図7 一定電圧(4.5V)印加時のCH1/2電圧の推移

成が、急峻ではなく連続的に起こるようになることを示唆している。

4.5 フォーミングモデル

以上の結果を踏まえて、フォーミングの仮説モデルを検討する。

Pt/NiO/Pt 積層構造におけるフォーミング特性値のワイブル傾きが、NiO膜厚に依存せず一定となる結果を以前に得ている¹²⁾。しかし、この結果は酸化膜の絶縁破壊におけるDegraeveらの実験結果である、ワイブル傾きが膜厚にほぼ比例するという関係とは異なる。ワイブル傾き β が高々1付近であるという結果から、フォーミングに関わる領域の膜厚は、NiOの膜厚に比べて数nm程度の極薄であることが推察される。この極薄層が電気的ストレスによって破壊されると、NiOの残りの層にも次々と欠陥が生成される正帰還が機能し、最終的に急峻な低抵抗化(フォーミング)に至る、という描像が考えられる¹²⁾。

なお、この極薄層は残りの層と比較して抵抗率が高く、素子に印加された電界がほぼ印加される前提に立っている。この2層化はあくまで便宜上の概念にすぎない点に注意する必要がある。

本研究において、400Kに昇温した際にフォーミング前に連続的な低抵抗化が見られた。この結果は、この極薄層内の欠陥がある程度の電気的ストレスによって少しずつ連続的に起こりうる現象が、素子温度の上昇によって顕在化したという点で興味深い。これまで室温付近における電気的ストレス印加では見られなかつたが、どの程度の素子温度から顕在化する現象であるのか、さらに検証を進める必要がある。

5. おわりに

Pt/NiO/Pt 積層構造を有する抵抗変化素子において、抵抗変化現象の発現に必要であるフォーミングと酸化膜の絶縁破壊との類似性に着目し、本研究ではフォーミング特性分布の素子サイズ、印加電圧、および素子温度依存に関して系統的に調べた。

酸化膜の絶縁破壊との類似点としては、NiO薄膜内の導電性フィラメントの形成が最弱リンク理論に概ね従うこと、その最弱破壊点である欠陥がNiO薄膜中にポアソン分布に基づきランダムに分布していることが示された。一方、相違点としては、ワイブル傾きの酸化膜厚依存性の有無や高温時の連続的な低抵抗化が顕在化したことがあげられる。

これらの実験結果を踏まえて、フォーミングの仮説モデルを検討していく上で、学術的にも興味深い結果が得られた。抵抗変化現象の起源に迫るべく、今後さらなる検証実験を進めていきたいと考えている。

参考文献

- 1) T. Ohsawa, H. Koike, S. Miura, H. Honjo, K. Tokutome, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, “1Mb 4T-2MTJ Nonvolatile STT-RAM for Embedded Memories Using 32b Fine-Grained Power Gating Technique with 1.0ns/200ps Wake-up/Power-off Times”, 2012 Symp. On VLSI Circuits, p.46 (2012)
- 2) G. De Sandre, L. Bettini, A. Pirola, L. Marmonier, M. Pasotti, M. Borghi, P. Mattavelli, P. Zuliani, L. Scotti, G. Mastracchio, F. Bedeschi, R. Gastaldi, and R. Bez, “A 4 Mb LV MOS-Selected Embedded Phase Change Memory in 90 nm Standard CMOS Technology”, IEEE J. Solid-State Circuits, vol.46, p.52 (2011)
- 3) I. G. Baek, M. S. Lee, S. Seo, M. J. Lee, D. H. Seo, D.-S. Suh, J. C. Park, S. O. Park, H. S. Kim, I. K. Yoo, U-In Chung, and J. T. Moon, “Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses”, Tech. Dig. Int. Electron Devices Meet., p.587 (2004)
- 4) H. Akinaga, and H. Shima, “Resistive Random Access Memory (ReRAM) based on Metal Oxides”, Proc. IEEE, vol.98, no.12, p.2237 (2010)
- 5) M.-J. Lee, C. B. Lee, D. Lee, S. R. Lee, M. Chang, J. H. Hur, Y.-B. Kim, C.-J. Kim, D. H. Seo, S. Seo, U-I. Chung, I.-K. Yoo, and K. Kim, "A fast, high-endurance and scalable non-volatile memory device made from asymmetric Ta_2O_{5-x}/TaO_{2-x} bilayer structures", Nature Mater., vol.10, no. 8, pp.625 (2011)
- 6) A. Wedig, M. Luebben, D.-Y. Cho, M. Moors, K. Skaja, V. Rana, T. Hasegawa, K. K. Adeppalli, B. Yildiz, R. Waser, and I. Valov, “Nanoscale cation motion in TaO_x , HfO_x and TiO_x memristive systems”, Nature Nanotech., DOI: 10.1038/NNANO.2015.221 (2015)
- 7) J. Suñé, “New Physics-Based Analytic Approach to the Thin-Oxide Breakdown Statistics”, IEEE Electron Device Lett., vol.22, no.6, pp.296 (2001)
- 8) R. Degraeve, J. L. Ogier, R. Bellenx, P. J. Roussel, G. Groeseneken, and H. E. Maes, “A New Model for the Field Dependence of Intrinsic and Extrinsic Time-Dependent Dielectric Breakdown”, IEEE Trans. Electron Dev., vol.45, no.2, p.472 (1998)
- 9) E. Y. Wu, “On the Weibull Shape Factor of Intrinsic Breakdown of Dielectric Films and Its Accurate Experimental Determination — Part I: Theory, Methodology, Experimental Techniques”, IEEE Trans. Electron Dev., vol.49, no.12, p.2131 (2002)
- 10) Y. Nishi and T. Kimoto, “Effect of NiO crystallinity on forming characteristics in Pt/NiO/Pt cells as resistive switching memories”, J. Appl. Phys., vol.120, p.115308 (2016)
- 11) Y. Nishi, H. Sasakura, and T. Kimoto, “Appearance of quantum point contact in Pt/NiO/Pt resistive switching cells”, J. Mater. Res., Invited Feature Paper, vol.32, p.2631 (2017)
- 12) 西, 木本: NiO を用いた ReRAM におけるフォーミング特性の分布, 電子情報通信学会技術研究報告, Vol.115, No.363 p.13 (2015)

(2020.12.11 受付)

Distribution of Forming Characteristics in Pt/NiO/Pt stack structures

Yusuke NISHI* and Takuya YAMANAKA

*Corresponding author: y.nishi@maizuru-ct.ac.jp

Abstract: An abrupt reduction in resistance called forming is required for resistance switching phenomenon in ReRAM structures using a binary oxide such as nickel oxide (NiO). In this study, dependence of the forming characteristics on applied voltage, cell size, and ambient temperature were investigated under constant voltage stresses to Pt/NiO/Pt stack structures. Many experimental results suggest that the formation of conductive filaments at forming follows a weakest link theory, and that weakest spots are randomly distributed in the NiO film according to the Poisson statistics. Moreover, at a high temperature of 400K, gradual reduction phenomena in resistance were observed before the forming process, which indicates that defects in the ultrathin layer in the NiO can occur continuously due to electrical stress as the ambient temperature elevate. What temperature the phenomenon becomes apparent should be clarified in the near future.

Key words: resistive switching, nickel oxide, forming